

Aurora 64B/66B IP 를 활용한 FPGA 간 고속 직렬 통신 구현

손정훈, 박지호, 유호영
충남대학교 공과대학 전자공학과

Implementation of High-speed Serial Communication Across FPGAs Using Aurora 64B/66B IP

Jeonghun Son, Jiho Park and Hoyoung Yoo
Department of Electronics Engineering
Chungnam National University

E-mail : jhsohn.cas@gmail.com, jhpark.cas@gmail.com, hyyoo@cnu.ac.kr

Abstract

In this paper, we implement a high-speed data communication using Aurora IP and show the result. Recently, High-speed data communication between multiple systems has become a cornerstone in modern embedded systems, enabling seamless integration of high-performance computing and real-time data processing. The Aurora protocol, designed by Xilinx, serves as an efficient lightweight, and low-latency communication protocol optimized for high-bandwidth data transfer over serial links. In this paper, we implement Aurora IP and establish communication between master and slave evaluation boards via zSFP+ connector to transfer data between their respective DRAM modules. Through this implementation, we demonstrate that the Aurora IP is an efficient data communication protocol characterized by high throughput and low latency.

I. 서론

최근, AI 나 이미지 및 비디오 처리 시스템과 같이 많은 양의 데이터를 활용하는 고성능 컴퓨팅 시스템에서 원활한 데이터 처리를 위해서 고속의 메모리와 고속의 데이터 통신이 가능한 프로토콜의 활용이 요

This research was supported by National Research Foundation of Korea(NRF) funded by the Korea government(MSIT) (IITP-2024-RS-2024-00436406 (50%), 2020M3H2A1078119) and by Institute of Information & communications Technology Planning & Evaluation (IITP) grant funded by the Korea government (MSIT) (2022R1A5A8026986, 2022-0-01170)

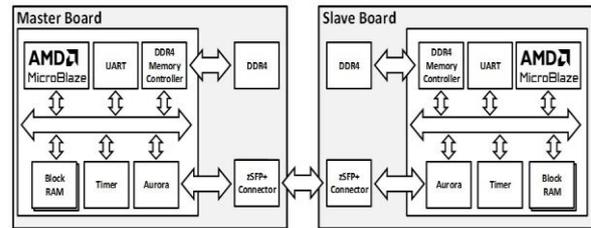


그림 1. FPGA Evaluation Board 시스템 구성도

구되고 있다. 이와 같은 이유로 높은 데이터 통신 효율성을 갖는 Aurora IP 는 높은 Data rate 를 제공하고, 저지연의 특성을 가지기 때문에 앞선 요구에 적합한 통신 프로토콜이다. 또한 Xilinx FPGA 에서 구현 가능한 오픈소스의 high-speed serial 통신 프로토콜이라는 점은 사용자의 목적에 따라 성능과 면적을 조절할 수 있음을 뜻하고 다양한 시스템에서 유용하게 활용될 수 있음을 알 수 있다.

본 논문에서는 Aurora IP 구현을 위해 KCU116, KCU105 Evaluation Board 를 그림 1 과 같이 각각 Master, Slave Board 로 활용한다. 구현할 시스템은 Aurora IP 와 DDR4 Memory Controller, Timer, UART 를 포함하고 있다. 해당 시스템을 각각 Master, Slave 에 각각 구현하고, zSFP+를 통해 두 개의 Board 를 연결한다. 연결된 포트를 통해 Master Board 의 DDR4 에 저장되어 있는 데이터를 Slave Board 의 메모리로 옮

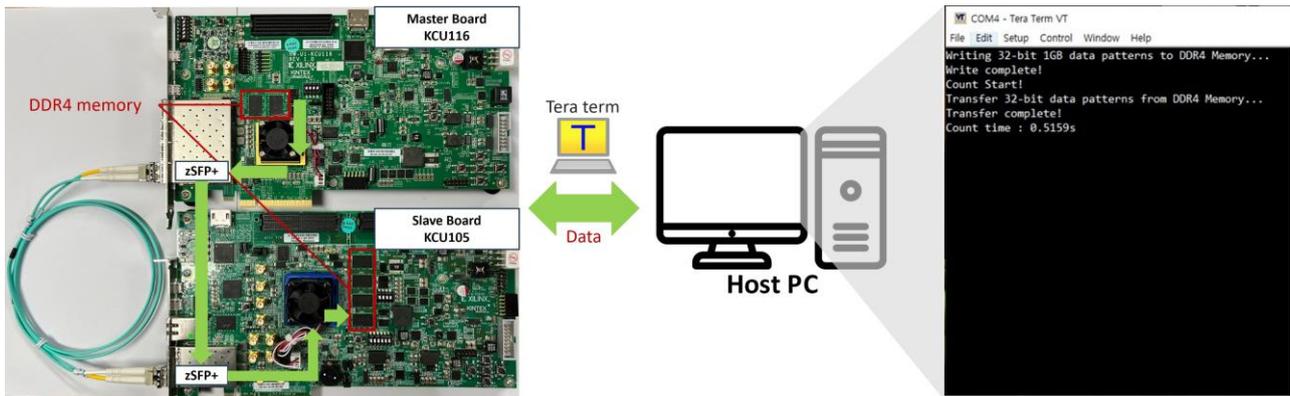


그림 2. Aurora IP 실험 환경

겨 쓰는 실험을 진행한다. 실험 결과를 통해 Aurora IP 구현을 검증한다. 해당 실험의 성능을 측정하기 위해 데이터의 통신 및 데이터 쓰기 동작 완료 후 UART를 통해 저장된 값을 확인하는 Elapsed time을 확인함으로써 구현 시스템의 성능을 확인하고 Aurora IP의 활용성을 검증한다.

II. Background

2.1 Aurora IP

Aurora IP는 Multi-Gigabit link를 위한 High-speed의 직렬 통신 프로토콜이다[1]. Gigabit 트랜시버 또는 SMA 포트를 사용하여 디바이스 간 데이터를 전송할 수 있으며, 사용자의 설정에 따라 0.5~28.01664Gbps의 통신 속도 설정, 양방향 또는 단방향의 직렬 데이터 통신, Chip-Chip 링크 또는 Board-Board 링크 및 64B/66B 또는 8B/10B를 선택하여 구현할 수 있다. 64B/66B의 경우, 유저 데이터 64 bit, 인코딩 데이터 66 bit를 뜻하고, 데이터 전송 효율은 유저 데이터를 인코딩 데이터로 나눈 값, 즉 96.9%의 데이터 전송 효율을 갖는다.

2.2 MIG IP (Memory Interface Generator IP)

Memory Interface Generator IP는 Xilinx사에서 개발한 Memory Controller와 Interface를 생성에 활용되는 Xilinx FPGA 전용 IP이다. 본 논문의 실험에서 활용할 Master Board와 Slave Board에는 부품 방식의 DDR4 SDRAM이 내장되어 있고, 해당 메모리를 활용하기 위해 시스템 내 Memory Controller 구현은 필수적이다.

III. 실험 환경 및 실험 결과

본 논문에서는 Master와 Slave Board 간 통신을 위하여 16Gbps 통신 속도, 양방향 통신, Board-Board 링크, 64B/66B 인코딩 방법을 채택하고, 트랜시버의 동작 주파수는 200MHz로 설정하여 Aurora IP를 구현한다. 실험에 활용될 DDR4 메모리는 1GB의 용량, 32 bit의 data width 및 83.2Gbps의 데이터 전송 속도 등 메모리의 Specification에 맞게 Memory Controller와 Interface를 설정한다. Gigabit 트랜시버의 동작 주파수는 200MHz로 설정하여 IP 구현을 진행한다. Aurora IP의 동작 속도를 확인하기 위해 활용한 KCU116 Board를 Master, KCU105 Board를 Slave로 설정한다. 각각의 FPGA Board에 앞서 제안한 시스템을 구현한 후, zSFP+를 통해 Board 간 통신을 구현한다.

IV. 실험 결과 및 결론

본 논문에서 제안한 시스템을 활용하여 Master Board 내 DDR4 메모리 1GB 데이터를 16Gbps의 속도로 Slave Board의 DDR4로 데이터 전송함을 실험 결과를 확인하였다. 해당 결과를 통해 Aurora IP가 많은 양의 데이터를 활용하는 Application에서 유용하게 활용될 수 있음을 입증하였다.

참고문헌

- [1] Xilinx, Aurora 64B/66B Protocol Specification (SP011), October 2014.